

PAT-NO: JP406069434A

DOCUMENT-IDENTIFIER: JP 06069434 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: March 11, 1994

INVENTOR-INFORMATION:

NAME

NARUSE, HIROSHI

KO, TATSUICHI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP04238930

APPL-DATE: August 15, 1992

INT-CL (IPC): H01L027/092

US-CL-CURRENT: 257/386, 438/154 , 438/FOR.216

ABSTRACT:

PURPOSE: To provide a MOS semiconductor integrated circuit device and a manufacture thereof in which an operating speed is fast and the manufacturing process is efficient using a novel gate electrode material.

CONSTITUTION: A P-type silicon epitaxial growth layer 5 is formed on a P-type silicon semiconductor substrate 1, and a PMOS element region, an NMOS element region and a bipolar element region are formed on the growth layer 5.

Since a polycrystalline SiGe gate electrode 23 having the composition ratio of $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 1$) is formed in the PMOS element, the rate of activation of impurity is high and the resistivity is low even if the growth is performed at a low temperature. Also, a P-type internal base region 18 of the bipolar element comprises an SiGe epitaxial growth layer of a single crystal. By using the growth layer, the gate electrode 23 and the base region 18 can be simultaneously formed in the same process while the parasitic resistance can be reduced.

COPYRIGHT: (C)1994, JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-69434

(43)公開日 平成6年(1994)3月11日

(51)IntCl.⁵

H 0 1 L 27/092

識別記号

庁内整理番号

9054-4M

F I

H 0 1 L 27/ 08

技術表示箇所

3 2 1 D

審査請求 未請求 請求項の数6(全 11 頁)

(21)出願番号 特願平4-238930

(22)出願日 平成4年(1992)8月15日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 成瀬 宏

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(72)発明者 高 辰一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

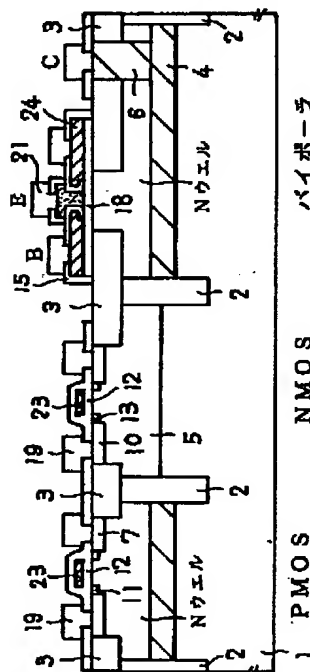
(74)代理人 弁理士 竹村 壽

(54)【発明の名称】 半導体集積回路装置及びその製造方法

(57)【要約】

【目的】 新規なゲート電極材料を用いて、動作速度が速く、その製造プロセスが効率的なMOS半導体集積回路装置およびその製造方法を提供する。

【構成】 P型シリコン半導体基板1にはP型シリコンエピタキシャル成長層5が形成され、この成長層にPMOS素子領域、NMOS素子領域及びバイポーラ素子領域が形成されている。PMOS素子には、組成比 Ge_x ($1 > x > 0$) の多結晶SiGeゲート電極23が形成されているので、低温で成長させても不純物の活性化率が高く比抵抗も低い。また、バイポーラ素子のP型内部ベース領域18は、単結晶のSiGeエピタキシャル成長層からなる。この成長層を用いることにより、寄生抵抗が低減できるとともに同一の工程でゲート電極23とベース領域18を同時に形成できる。



【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板の表面領域に形成され、ソース／ドレイン領域、前記ソース／ドレイン領域間の領域上に形成されたゲート絶縁膜及び前記ゲート絶縁膜の上に形成されたゲート電極とを有するMOS型電界効果トランジスタとを備え、このゲート電極は、 $\text{Si}_{1-x}\text{Ge}_x$ ($1 > x > 0$) で表わされる多結晶SiGeの混晶からなることを特徴とする半導体集積回路装置。

【請求項2】 前記MOS型電界効果トランジスタは、前記半導体基板に複数形成され、これらMOS型電界効果トランジスタは、CMOS構造を有することを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記半導体基板にはバイポーラトランジスタが形成され、このバイポーラトランジスタのベース領域は、単結晶SiGe層からなり、このベース領域上に接する外部ベース引出し電極は、多結晶SiGe層からなることを特徴とする請求項2に記載の半導体集積回路装置。

【請求項4】 前記半導体基板上には多結晶SiGe層からなる抵抗が形成されていることを特徴とする請求項1乃至請求項3のいずれかに記載の半導体集積回路装置。

【請求項5】 半導体基板のMOS型電界効果トランジスタ形成領域上にゲート絶縁膜を形成する工程と、半導体基板全面にSiGe層を成長させ、このSiGe層の前記ゲート絶縁膜上の部分を多結晶SiGeにし、前記半導体基板のバイポーラトランジスタ形成領域上の前記半導体基板が露出している部分の前記SiGe層を単結晶SiGeにする工程と、

前記SiGe層を選択的にエッチングして、前記MOS型電界効果トランジスタ形成領域上にゲート絶縁膜とその上の多結晶SiGeゲート電極を形成し、前記バイポーラトランジスタ形成領域上の前記半導体基板が露出している部分に単結晶SiGeベース領域を形成する工程と、

前記MOS型電界効果トランジスタ形成領域にソース／ドレイン領域を形成する工程と、

前記単結晶SiGeベース領域上に、これに接して多結晶SiGe層の外部ベース引出し電極を形成する工程と、

前記単結晶SiGeベース領域の表面領域に不純物を拡散してエミッタ領域を形成する工程とを備えていることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 半導体基板のMOS型電界効果トランジスタ形成領域上にゲート絶縁膜を形成する工程と、前記半導体基板のバイポーラトランジスタ形成領域上の前記半導体基板が露出している部分に単結晶SiGeベース領域を形成する工程と、

前記ゲート絶縁膜上及び前記単結晶SiGeベース領域

を含む半導体基板全面に多結晶SiGe層を形成する工程と、

前記多結晶SiGe層を選択的にエッチングして、前記MOS型電界効果トランジスタ形成領域のゲート絶縁膜上に多結晶SiGeゲート電極を形成し、前記バイポーラトランジスタ形成領域の前記単結晶SiGeベース領域上に多結晶SiGe層の外部ベース引出し電極を形成する工程と、

前記MOS型電界効果トランジスタ形成領域にソース／ドレイン領域を形成する工程と、

前記単結晶SiGeベース領域の表面領域に不純物を拡散してエミッタ領域を形成する工程とを備えていることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速のMOS型半導体集積回路装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体集積回路の高速化、低消費電力化は、著しく進んでおり、とくにその用途の広がりからMOS型半導体集積回路、特に、BiCMOS半導体集積回路の重要性が益々高まりつつある。それに伴って、CMOSデバイスは、微細化、低電源電圧化がすすみ、バイポーラトランジスタはセルフアライン技術などを用いた微細化や寄生抵抗、寄生容量の低減と同時に、トランジスタも従来のホモ接合を用いたBJT(Bipolar Junction Transistor)からヘテロ接合を用いたHBT(Hetero Bipolar Transistor)へと移っていく方向にある。従来CMOS(Complementary MOS)集積回路におけるMOS型電界効果トランジスタ(以下MOSTランジスタという)のゲート電極やバイポーラトランジスタの外部ベース電極は、多結晶シリコンが用いられていた。しかしながらSiGeをベース電極に利用したHBTをバイポーラトランジスタとして用いる場合、ヘテロエピタキシャル成長層の歪み緩和を防止するために低温プロセスを採用することが必要であり、高温プロセスを必要とする多結晶シリコンをMOSTランジスタのゲート電極やバイポーラトランジスタの外部ベース電極に利用することはプロセスの自由度に制限をうけ、またプロセスを複雑化させるという欠点を持っている。

【0003】例えば、多結晶シリコンをゲート電極に利用した場合の製造プロセス例を図20乃至22に示す。半導体基板には、P型シリコン(100)半導体基板1を用いる。半導体基板1の上には、P型エピタキシャル成長層5が形成されている。この半導体基板1のNMOSTランジスタ、PMOSTランジスタやバイポーラトランジスタを形成する各領域には、深いトレンチ型素子分離絶縁膜2および浅いトレンチ型素子分離絶縁膜3からなる素子分離領域を形成する。素子分離用絶縁膜2、3は、例えば、シリコン酸化膜からなり、深いトレンチ

型素子分離絶縁膜2の中には、多結晶シリコンを埋込むこともある。NMOS形成領域及びバイポーラ形成領域のP型エピタキシャル成長層5は、いずれも、Nウエルになっており、その下には、N⁺埋込み領域4を形成し、バイポーラ形成領域の埋込み領域4には、半導体基板1の表面に露出するコレクタ用N⁺拡散領域6に接続させる。PMOS形成領域には、P⁺ソース/ドレイン領域7を形成し、これらの領域7間の領域上に多結晶シリコンのゲート電極8を形成する。ゲート電極8にはシリコン酸化膜のような側壁絶縁膜9が形成されており、半導体基板1との間には、熱酸化などによるゲート絶縁膜12が形成されている。

【0004】NMOS形成領域にもN⁺ソース/ドレイン領域10を形成し、この領域10間の領域上にゲート酸化膜12を介して側壁絶縁膜9を備えた多結晶シリコンのゲート電極8を形成する。ゲート電極8には不純物がドーパされており、この不純物を活性化するために、900~1000℃程度で加熱処理をする。P⁺ソース/ドレイン領域7には、これらに接続してP⁻不純物拡散領域11が形成されており、またN⁺ソース/ドレイン領域10には、これらに接続してN⁻不純物拡散領域13が形成されていて、いずれもLDD構造を備えている(図20)。つぎにMOS領域の表面をシリコン酸化膜などの絶縁膜14で被覆してから、バイポーラ素子形成領域にバイポーラトランジスタを形成する。このバイポーラ素子形成領域上の所定の領域に、エピタキシャル成長させた膜厚が50~200nm程度のSiGe単結晶のP型の内部ベース領域18を形成する。この内部ベース領域18のSiGeエピタキシャル成長層は、Geの組成比が任意であり、実際は、Si_{1-x}Ge_xで表わされる。このSiGe層が成長する基板であるP型シリコンエピタキシャル成長層5との格子の整合性を考慮するなら、xの値は、0.1~0.2程度が適当である。

【0005】このP型内部ベース領域18の上に、この上のエミッタ形成領域の上にシリコン酸化膜など絶縁膜16を形成してから、外部ベース引出し電極17用の多結晶シリコン膜を形成する。この多結晶シリコン膜17のエミッタ形成領域には、開口部を設けておく。その後多結晶シリコン膜17などを含むバイポーラ素子形成領域上を絶縁膜15で被覆する(図21)。そして、絶縁膜16をエッチングしてエミッタ領域の開口部を設け、この部分及び絶縁膜15上にN型不純物をドーパした多結晶シリコン21を形成する。ついで、RTAによりこのN型不純物を拡散してP型内部ベース領域18にエミッタ領域を形成すると同時に、多結晶シリコン21をエミッタ電極とする。その後、このエミッタ電極21表面を覆うようにシリコン酸化膜などの絶縁膜20を形成し、バイポーラトランジスタのエミッタ、ベース、コレクタの各領域に必要なコンタクト開口部を設け、コレクタ用N⁺拡散領域6には、A1などの配線用コレクタ電

極C、外部ベース引出し電極17には、配線用ベース電極B及びエミッタ電極21には、配線用エミッタ電極Eをそれぞれ取付ける。また、MOS領域のソース/ドレイン領域7、10にはA1などの金属配線電極19を取付ける(図22)。

【0006】

【発明が解決しようとする課題】以上の様に、従来のMOS半導体集積回路装置は、ゲート電極に多結晶シリコンもしくは多結晶シリコンと他の導電膜との複合膜を用いることが多かったが、図3に示すように多結晶シリコンの比抵抗は比較的大きいためMOSTランジスタの高速化には不利であった。更にバイポーラトランジスタの外部ベース電極などに用いることも素子の高速化の障害となるので、この利用には困難を伴っていた。また、従来のMOS構造を含む、例えば、BiCMOS半導体集積回路の製造プロセスにおいては、多結晶シリコン中の不純物を活性化するために900℃から1000℃程度の高温プロセスを必要とする。したがって、少なくともMOSTランジスタをバイポーラトランジスタ製造前に形成しておくことが必要である。工程を簡略化する観点から見た場合、このようにMOSTランジスタとバイポーラトランジスタを別々に形成することは、製造プロセスを長くして効率が悪くなる。本発明は、以上のような事情により成されたものであり、素子の動作速度が高速であり、かつ、製造プロセスが効率的なMOS半導体集積回路装置およびその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】本発明は、MOSTランジスタのゲート電極に多結晶SiGeを用いることを特徴としている。また、BiCMOS集積回路においてバイポーラトランジスタのベースに用いるSiGeエピタキシャル成長層を半導体基板上の半導体層が露出した領域に形成すると同時にゲート絶縁膜上には多結晶SiGeをMOSTランジスタのゲート電極として形成することを特徴としている。すなわち、本発明の半導体集積回路装置は、半導体基板と、前記半導体基板の表面領域に形成され、ソース/ドレイン領域、前記ソース/ドレイン領域間の領域上に形成されたゲート絶縁膜及び前記ゲート絶縁膜の上に形成されたゲート電極とを有するMOS型電界効果トランジスタとを備え、このゲート電極は、Si_{1-x}Ge_x (1>x>0)で表わされる多結晶SiGeの混晶からなることを特徴としている。前記MOS型電界効果トランジスタは、前記半導体基板に複数形成され、これらMOS型電界効果トランジスタは、CMOS構造を有することを特徴とすることができる。前記半導体基板にはバイポーラトランジスタが形成され、このバイポーラトランジスタのベース領域は、単結晶SiGe層からなり、このベース領域上に接する外部ベース引出し電極は、多結晶SiGe層からなることを特徴

とすることができる。前記半導体基板には多結晶SiGe層からなる抵抗を形成することができる。

【0008】また、本発明の半導体集積回路装置の製造方法は、半導体基板のMOS型電界効果トランジスタ形成領域上にゲート絶縁膜を形成する工程と、半導体基板全面にSiGe層を成長させ、このSiGe層の前記ゲート絶縁膜上の部分を多結晶SiGeにし、前記半導体基板のバイポーラトランジスタ形成領域上の前記半導体基板が露出している部分の前記SiGe層を単結晶SiGeにする工程と、前記SiGe層及び前記ゲート絶縁膜を選択的にエッチングして前記MOS型電界効果トランジスタ形成領域上にゲート絶縁膜とその上の多結晶SiGeゲート電極を形成し前記バイポーラトランジスタ形成領域上の前記半導体基板が露出している部分に単結晶SiGeベース領域を形成する工程と、前記MOS型電界効果トランジスタ形成領域にソース/ドレイン領域を形成する工程と、前記単結晶SiGeベース領域上に、これに接して多結晶SiGe層の外部ベース引出し電極を形成する工程と、前記単結晶SiGeベース領域の表面領域に不純物を拡散してエミッタ領域を形成する工程とを備えていることを第1の特徴としている。

【0009】さらに半導体基板のMOS型電界効果トランジスタ形成領域上にゲート絶縁膜を形成する工程と、前記半導体基板のバイポーラトランジスタ形成領域上の前記半導体基板が露出している部分に単結晶SiGeベース領域を形成する工程と、前記ゲート絶縁膜上及び前記単結晶SiGeベース領域を含む半導体基板全面に多結晶SiGe層を形成する工程と、前記多結晶SiGe層を選択的にエッチングして、前記MOS型電界効果トランジスタ形成領域のゲート絶縁膜上に多結晶SiGeゲート電極を形成し、前記バイポーラトランジスタ形成領域の前記単結晶SiGeベース領域上に多結晶SiGe層の外部ベース引出し電極を形成する工程と、前記MOS型電界効果トランジスタ形成領域にソース/ドレイン領域を形成する工程と、前記単結晶SiGeベース領域の表面領域に不純物を拡散してエミッタ領域を形成する工程とを備えていることを第2の特徴としている。

【0010】

【作用】多結晶SiGeは、多結晶シリコンと比べて、比抵抗が低く、低温で成長させても不純物の活性化率が高い。これをMOSTランジスタのゲート電極やバイポーラトランジスタの引出し電極に用いることにより、寄生抵抗が低減でき、トランジスタの高速化が可能になる。また、従来の多結晶シリコンプロセスのような高温アニールを必要としないためMOSTランジスタとバイポーラトランジスタを1つのプロセスで形成することができる。

【0011】

【実施例】以下、本発明の実施例を図面を参照して説明する。まず、図1～図12を参照して第1の実施例を説

明する。図1は、BiCMOS構造の半導体集積回路装置の断面図、図2は、その部分断面図である。図3はSiGeに含まれるGeの含有量とその比抵抗との関係を示す特性図、図4は、多結晶SiGeの比抵抗のバイオン注入量依存性を示す特性図、図5は、SiGeエピタキシャル成長層の臨界膜厚のGeの含有率依存性を示す特性図、図6は多結晶SiGeの不純物活性化率とホール移動度のGe含有率依存性を示す特性図、図7～図11は、図1の半導体集積回路装置の製造工程断面図、図12は、不純物をドーパした多結晶SiGeの比抵抗の熱処理温度依存性を示す特性図である。半導体基板には、P型シリコン(100)半導体基板1を用いる。半導体基板1上には、P型シリコンエピタキシャル成長層5が形成されている。半導体基板に形成されるPMOS素子領域、NMOS素子領域及びバイポーラ素子領域などの領域間には深いトレンチ型素子分離絶縁膜2及び浅いトレンチ型素子分離絶縁膜3からなる素子分離領域が形成されている。素子分離用絶縁膜2、3は、例えば、シリコン酸化膜からなり、深いトレンチ型素子分離絶縁膜2の中には、多結晶シリコンを埋込むこともある。

【0012】PMOS素子領域及びバイポーラ素子領域のP型エピタキシャル成長層5は、いずれも、Nウェルになっており、その下には、N⁺埋込み領域4を形成し、バイポーラ素子領域の埋込み領域4は、半導体基板1の表面に露出するコレクタ用N⁺拡散領域6に接続している。PMOS形成領域には、P⁺ソース/ドレイン領域7を形成し、これらの領域7間の領域上に多結晶SiGeのゲート電極23を形成する。ゲート電極23には、シリコン酸化膜の側壁絶縁膜が形成されており、半導体基板1との間には熱酸化法などによるゲート絶縁膜12が形成されている。NMOS形成領域にもN⁺ソース/ドレイン領域10を形成し、この領域10間の領域上にゲート酸化膜12を介して側壁絶縁膜を備えた多結晶SiGeのゲート電極23を形成する。ゲート電極23には不純物がドーパされており、この不純物を活性化するために、800℃程度で加熱処理をする。P⁺ソース/ドレイン領域7には、これらに接続してP-不純物拡散領域11が形成され、N⁺ソース/ドレイン領域10には、これらに接続してN-不純物拡散領域13が形成されていて、いずれもLDD構造を備えている。

【0013】PMOS素子領域及びNMOS素子領域は、半導体基板表面をシリコン酸化膜などの絶縁膜14で被覆されている。一方、バイポーラ素子領域上の所定の領域に、エピタキシャル成長させた膜厚が50～200nm程度のSiGe単結晶膜18がP型内部ベース領域として形成されている。これは、MOS領域に形成されたゲート電極23と同じ厚さになっている。バイポーラ素子領域の部分の詳細を図2の断面図に示す。この内部ベース領域18のSiGeエピタキシャル成長層は、Geの組成比が任意であり、実際は、Si_{1-x}Ge_xで

表わされる。このSiGe層が成長する基板であるP型シリコンエピタキシャル成長層5との格子の整合性を考慮するなら、 x の値は0.1~0.2程度が適当である。この値が0.1より小さいと、図3に記載されているように比抵抗が大きくなり、0.2より大きいとSiGeとシリコンの結晶格子がミスマッチしてミスフィット転位が発生し易くなる。図3は、縦軸に比抵抗($m\Omega cm$)をとり、横軸に $Si_{1-x}Ge_x$ で表わされるSiGeエピタキシャル成長層のGe含有率(x)をとる。SiGeエピタキシャル成長層厚は、300nmで、その不純物濃度(ボロン)は、約 $1 \times 10^{20} cm^{-3}$ である。このP型内部ベース領域18上には、多結晶SiGeからなる外部ベース引出し電極24が形成されている。

【0014】SiGe膜の内部ベース領域18は、外部回路とのコンタクトを取り易くするためにバイポーラ素子領域の露出したP型シリコンエピタキシャル成長層5上だけでなく、浅いトレンチ型素子分離領域3にも延在している。そして、この延在部分181は、シリコン酸化膜のような絶縁膜の上に成長しているため、単結晶化はせず、多結晶になっている。この多結晶SiGe部分181を含む内部ベース領域18の上に、これより厚い多結晶SiGe膜24を設けて、これを外部ベース引出し電極とする。内部ベース領域18上の単結晶部分の上に成長した多結晶SiGe膜24は、条件によって、単結晶化することもできるが、この実施例では、多結晶にしておく。多結晶SiGe膜24のエミッタ形成領域には、コンタクト孔を設けてあり、内部ベース領域18が部分的に露出している。更に、このコンタクト孔を含めて多結晶SiGe膜24は、シリコン酸化膜のような絶縁膜15で被覆されており、コンタクト孔内には、N型不純物を含む多結晶シリコン21が埋込まれており、露出した内部ベース領域の部分と接触している。そして、この内部ベース領域の多結晶シリコン21と接する部分は、N型エミッタ領域25になっている。多結晶シリコン21はエミッタ電極とする。エミッタ電極21表面は、シリコン酸化膜などの絶縁膜20で被覆されている。

【0015】バイポーラトランジスタのエミッタ、ベース、コレクタの各領域において、コレクタ用 N^+ 拡散領域6には、A1などの配線用コレクタ電極C、外部ベース引出し電極24には、配線用ベース電極B及びエミッタ電極21には、配線用エミッタ電極Eをそれぞれ取付けている。この様に、MOS構造のゲート電極23に多結晶SiGe膜を用いた結果、図4に示すようにシリコンのゲート電極に比べて、その比抵抗を大きく低下させることができる。図4は縦軸にSiGeエピタキシャル成長層の比抵抗($m\Omega cm$)をとり、横軸に $Si_{1-x}Ge_x$ で表わされるSiGeエピタキシャル成長層のボロンのイオン注入量(cm^{-2})をとる。図示の曲線は、S

iGeエピタキシャル成長層のGe含有率(x)が0(即ち、シリコンの単体)、0.14、0.26、0.52の4例について説明する。このデータは、約900℃、30秒程度PTAを実施した結果である。図に示すようにボロンのイオン注入量の増加によって、比抵抗は低下し、Geの含有率が増すにつれて比抵抗は低くなる傾向にある。したがって、従来の多結晶シリコンのゲート電極より低抵抗を維持することができ、高速集積回路に適用できる。

【0016】図5は、縦軸にSiGeエピタキシャル成長層の臨界膜厚(nm)をとり、横軸には $Si_{1-x}Ge_x$ で表わされるSiGeエピタキシャル成長層のGe含有率(x)をとる。シリコンエピタキシャル成長層($x=0$ の場合)は、膜厚には、それ程影響されないが、Geの含有率が増すに連れて、エピタキシャル成長層の厚みが増すほど無転位化が難しくなる。図の臨界曲線の下側が無転位領域であるので、Geエピタキシャル成長層($x=1.0$ の場合)は、無転位の状態でエピタキシャル成長されない。これは、やはり図に示すシリコンの下地とエピタキシャル成長層の格子非整合率(ミスフィット)が4%程度にもなるのが原因している。図6は、多結晶SiGeにドーパされるボロン(B)などの不純物の影響について説明したものであり、縦軸に多結晶SiGeにドーパされたボロンの活性化率(%)とホール移動度(cm^2/Vs)をとり、横軸に $Si_{1-x}Ge_x$ で表わされる多結晶SiGeのGe含有率(x)をとる。曲線A1は、ボロンの活性化率の変化曲線であり、曲線A2は、ホール移動度の変化曲線である。この様にドーパされる不純物の活性化率はGe含有率の増大によって大きくなり、ホール移動度もそれに連れて増加するので、トランジスタの高速化が期待できる。

【0017】次に、図7乃至図12を参照して第1の実施例の製造方法について説明する。P型シリコン(100)半導体基板1にリンなどN型不純物を、例えば、イオン注入などでドーパして N^+ 領域を選択的に形成する。さらに、半導体基板1の上にはP型シリコンエピタキシャル成長層5(以下、エピタキシャル成長層という)を形成し、前記 N^+ 領域を埋込んで N^+ 埋込み領域4を形成する。エピタキシャル成長層5の埋込み領域4が形成されている上にはNウェルを形成する。そして、エピタキシャル成長層5には、RIE(Reactive Ion Etching)などの異方性エッチングによって浅いトレンチと深いトレンチとを形成し、酸化シリコンなどの絶縁膜を埋込んで、半導体基板1の中に達する深いトレンチ型素子分離絶縁膜2及び浅いトレンチ型素子分離絶縁膜3を形成する。PMOS素子領域およびバイポーラ素子領域は、Nウェルに形成され、バイポーラ素子領域には、エピタキシャル成長層5の表面から埋込み領域4に達するコレクタ用 N^+ 不純物拡散領域6(以下、コレクタ拡散領域という)を形成する(図7)。ついで、例えば、シ

リコンの熱酸化などによりゲート絶縁膜12をPMOS素子領域、NMOS素子領域及びコレクタ拡散領域6の表面に形成し、一方バイポーラ素子領域は表面を露出させる。そして、これら各領域上に非選択にSiGe混晶層22を成長させる。

【0018】この混晶層には約 $1 \times 10^{19} \text{ cm}^{-3}$ の濃度でドーパされたボロンが含まれている。このときバイポーラ素子領域のエピタキシャル成長層5表面が露出している部分には単結晶SiGeが成長し、絶縁膜12上には多結晶SiGeが成長している。このSiGe成長層22を形成するには、例えば、減圧CVD (Chemical Vapour Deposition) を用いる。0.1~1 Torr程度の圧力下の加熱された炉内に半導体基板を配置し、所望の割合のジクロロシラン (SiH_2Cl_2) とゲルマン (GeH_4) をこの炉内にキャリアガスとともに送り込んで、化学式が $\text{Si}_{1-x}\text{Ge}_x$ で表わされるSiGe成長層を半導体基板に堆積する。膜厚は50~200 nmが適当である。また、圧力が 10^{-8} Torr程度の高真空で行うUHVCVD (Ultra High Vacuum CVD) で行うこともできる (図8)。このSiGe成長層22には、前述のようにボロンが高濃度に拡散されているが、これはボロンをイオン注入などでドーパし、熱処理により得ている。別の方法では、SiGe成長時に B_2H_6 を流してこの成長層にボロンをドーパすることもできる。図12は、多結晶SiGeの比抵抗の熱処理温度依存性を表わしており、縦軸は、ボロンを拡散した多結晶SiGeの比抵抗値を表わし、横軸にボロンを拡散するための熱処理温度を表わしている。図に示すごとく多結晶シリコン ($x=0$) より低温で熱処理を行なっても比抵抗値を低下させる事ができるので、この熱処理温度を800℃程度以下に設定することが可能になる。

【0019】について、半導体基板全面に形成されたSiGe混晶層22をフォトリソグラフィ技術を用いて加工し、NMOS素子領域及びPMOS素子領域のゲート電極23、バイポーラ素子領域の内部ベース領域18を形成する。両MOS素子領域にはこのゲート電極23をマスクにしてLDD用P-拡散領域11及びN-拡散領域11をそれぞれPMOSTランジスタ、NMOSTランジスタのソース、ドレイン形成領域に形成する。内部ベース領域18の浅いトレンチ型素子分離絶縁膜3に形成された部分は、多結晶領域181 (図2参照) になっている (図9)。について、例えば、シリコン酸化膜やシリコン窒化膜などの絶縁膜を半導体基板の全面に堆積後、エッチバックを行って両MOS素子領域上のゲート電極23の側壁に酸化膜を形成する。そしてこの側壁を形成したゲート電極23をマスクとして半導体基板1上のエピタキシャル成長層5に不純物を、例えば、イオン注入によりドーパし、熱拡散を行って、PMOS素子領域のP型ソース/ドレイン領域7及びNMOS素子領域のN型ソース/ドレイン領域10形成する。その後両MOS

素子領域上にシリコン酸化膜などの絶縁膜14及びバイポーラ内部ベース領域上のシリコン酸化膜などの絶縁膜16を同じ工程で形成する (図10)。

【0020】について、バイポーラ素子領域の内部ベース領域18上及びこの上の絶縁膜16上に、この領域より膜厚の多結晶SiGe膜24を前述の減圧CVD法により形成し、これを外部ベース引出し電極とする。この多結晶SiGe膜24にコンタクト孔を設けて絶縁膜16を露出させ、その後SiGe膜表面をシリコン酸化膜やシリコン窒化膜などの絶縁膜15で被覆する (図11)。について露出している絶縁膜16をエッチング除去して内部ベース領域18のエミッタ形成領域を開口し、このコンタクト孔にN型不純物を高濃度にドーパした多結晶シリコン21をエミッタ電極としてエミッタ形成領域上に形成する。その後RTAにより多結晶シリコン21のN型不純物を内部ベース領域18に拡散し、ここにエミッタ領域25を形成する。その後、エミッタ電極表面を覆うようにシリコン酸化膜や窒化膜などの絶縁膜20を形成する。そしてソース/ドレイン領域7、10、外部ベース引出し電極24、コレクタ拡散領域6及びエミッタ電極21を被覆している絶縁膜にコンタクト孔を形成して、NPNバイポーラトランジスタにエミッタ配線電極E、ベース配線電極B、コレクタ配線電極C及びMOSTランジスタのソース/ドレイン領域7、10に配線電極19を形成する (図1参照)。

【0021】以上NPNバイポーラトランジスタの内部ベースとMOSTランジスタのゲート電極を同時にSiGe混晶で形成する例を示したが、もちろんPNPバイポーラトランジスタの内部ベースとMOSTランジスタのゲート電極を同時にSiGe混晶で形成しても良い。この場合、ゲート電極に用いる多結晶SiGeにはN型不純物がドーパされている。次に、図13乃至図18を参照して第2の実施例について説明する。図13は多結晶SiGe膜のシート抵抗のSiGe膜厚依存性を示す特性図であり、縦軸が多結晶SiGe膜のシート抵抗で、横軸が多結晶SiGe膜厚を示す。図に示すように、シート抵抗は、膜厚が一定の場合、ボロンなどの不純物の濃度が高くなると小さくなる。直線D1は、ボロン濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の多結晶SiGe膜、直線D2は、ボロン濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の多結晶SiGe膜及び直線D3は、ボロン濃度が $1 \times 10^{21} \text{ cm}^{-3}$ の多結晶SiGe膜の特性をそれぞれ示している。また、膜厚が薄くなるとこのシート抵抗は大きくなる。前実施例ではMOSTランジスタのゲート電極とバイポーラトランジスタの内部ゲート電極を同じ材料で形成し、その製造工程を簡略化している。しかし、ゲート電極は、その膜厚が薄いと図示の様にゲート抵抗が高くなるので、薄くするとMOSTランジスタの性能が低下する。

【0022】一方、バイポーラトランジスタは、ベース幅 (すなわち、この実施例の内部ベース領域18の膜

11

厚)の2乗に比例して高速動作が実施される。つまり膜厚が薄いほど高速化がはかれるので有利になっている。この様に、厚さに関して相反する影響を受けるので、前実施例のように同じSiGe膜を用いることは、どちらかがその犠牲になって好ましくない。そこで、この実施例では、同じSiGeを材料にするゲート電極及び内部ベース領域であっても異なる成長膜を用いてこの問題を解決している。まず、ここで用いる基板及び素子分離構造は、前実施例と全く同じものである。図7までは、共通の図で説明される。内部ベース用SiGe成長層18をバイポーラ素子領域に形成する。このSiGe成長層18は半導体基板上では、単結晶になっているが、浅いトレンチ型素子分離絶縁膜3の上にある部分は、多結晶になっている。このときの膜厚および不純物濃度は、第1の実施例と同様である(図14)。その後、ゲート絶縁膜12を半導体基板のNMOS領域とPMOS領域上に形成し、内部ベース保護用絶縁膜16を内部ベース領域18上及びコレクタ拡散領域6上に形成する。

【0023】つぎに、この内部ベース用SiGe成長層18と接触するように、その上にP型不純物を $1 \times 10^{20} \text{ cm}^{-3}$ 以上含む多結晶SiGe層26を半導体基板全面に成長層18より膜厚に成長させる(図15)。この多結晶SiGe層26は、フォトリソグラフィ技術を用いてパターンニングされ、NMOSTランジスタ及びPMOSTランジスタのゲート電極27とバイポーラランジスタの外部ベース引出し電極24が形成される。その後、前記実施例と同様な方法で両MOSTランジスタのソース/ドレイン領域7、10にN⁻領域11、13を取付けてLDD構造を形成する。また、ゲート電極の側壁には、例えば、シリコン酸化膜や窒化膜などの絶縁膜9を形成する。外部ベース引出し電極24には、エミッタに対するコンタクト孔を形成して絶縁膜16を露出させる(図16)。その後、MOS領域にシリコン酸化膜などの絶縁膜14及びコンタクト孔を含む外部ベース引出し電極24表面にシリコン酸化膜などの絶縁膜15を形成する(図17)。ついで露出している絶縁膜16をエッチング除去して内部ベース領域18のエミッタ形成領域を開口し、このコンタクト孔にN型不純物を高濃度にドーパした多結晶シリコン21をエミッタ電極としてエミッタ形成領域上に形成する。その後RTAにより多結晶シリコン21のN型不純物を内部ベース領域18に拡散しここにエミッタ領域25を形成する(図2参照)。

【0024】その後、エミッタ電極表面を覆うようにシリコン酸化膜や窒化膜などの絶縁膜20を形成する。そしてソース/ドレイン領域7、10、外部ベース引出し電極24、コレクタ拡散領域6及びエミッタ電極21を被覆している絶縁膜にコンタクト孔を形成して、NPNバイポーラランジスタにエミッタ配線電極E、ベース

12

配線電極B、コレクタ配線電極C及びMOSTランジスタのソース/ドレイン領域7、10に配線電極19を形成する事により、ゲート電極と内部ベース領域の厚さの事なる超高速BiCMOS集積回路装置が完成する(図18)。つぎに、図19を参照して第3の実施例を説明する。高精度を必要とするアナログ回路やフィルタ回路を有する半導体集積回路装置には多結晶シリコンなどの抵抗を利用するが、この実施例では、ゲート電極に多結晶SiGe層を用いると同時に前記抵抗にも多結晶SiGe層を用いる。この実施例では、半導体基板には、Pウエル及びNウエルを形成したN型シリコン半導体基板1を用いる。多結晶SiGeゲート電極23及びその下にゲート酸化膜12を形成する。この実施例では、トレンチ型の素子分離絶縁膜を用いず、LOCOS法による素子分離絶縁膜28を用いる。ゲート電極12は、シリコン酸化膜などの側壁を形成する。

【0025】Pウエルには、ソース/ドレイン領域10とLDD構造のN⁻拡散領域13が形成されたNMOSTランジスタを形成し、Nウエルには、ソース/ドレイン領域7とLDD構造のN⁻拡散領域11が形成されたPMOSTランジスタを形成する。この半導体集積回路装置に用いられる抵抗は、例えば、LOCOS法による素子絶縁膜28の上に形成される。そして、材料には、ゲート電極23と同じ多結晶SiGeを用いる。そして、抵抗とゲート電極とは同じ成長層をパターンニングして形成される。勿論この半導体集積回路装置にバイポーラランジスタを内蔵する場合には、内部ベース領域をゲート電極や抵抗と同じ成長層からなる単結晶SiGe層を利用し、外部ベース引出し電極には、多結晶SiGe層を用いることができる。この半導体基板1表面は、シリコン酸化膜などからなる絶縁膜31で被覆する。そしてこの絶縁膜31にコンタクト孔を設けてソース/ドレイン領域7、10にA1などからなる配線電極19、抵抗30に接続するA1などからなる配線電極32を形成する。抵抗の抵抗値を必要に応じて高精度に低くすることができる。多結晶SiGeは、多結晶シリコンと比べて比抵抗が $1/2 \sim 1/4$ と低い。

【0026】以上、実施例において説明したMOSTランジスタは、いずれもゲート電極に多結晶SiGeを用いているが、この多結晶SiGe膜にWやTiのような高融点金属などのシリサイド膜を積層して抵抗値を調整した複合膜をゲート電極とする事もできる。抵抗値を更に下げることができるので、高速動作を高めた半導体集積回路装置を形成することができる。

【0027】

【発明の効果】以上のような構成により、多結晶SiGeは、多結晶シリコンと比べて、低温で成長させても不純物の活性化率が高く比抵抗も低い。そして、SiGe成長層をMOSTランジスタのゲート電極やバイポーラランジスタのベース引出し電極に用いることにより、

寄生抵抗が低減でき、半導体集積回路装置の高速化が可能になる。また、従来の多結晶シリコンプロセスのような高温アニールを必要としないので、プロセスの自由度が広がると同時に半導体集積回路装置の製造プロセスを短縮化できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体集積回路装置の断面図。

【図2】図1の半導体集積回路装置の拡大部分断面図。

【図3】本発明のSiGe成長層の比抵抗のGe含有率依存性を示す特性図。

【図4】本発明のSiGe成長層の比抵抗の不純物量依存性を示す特性図。

【図5】本発明のSiGe成長層の臨界膜厚のGe含有率依存性およびミスフィット率を示す特性図。

【図6】本発明のSiGe成長層の不純物活性化率及びホール易動度のGe含有率依存性を示す特性図。

【図7】第1の実施例の半導体集積回路装置の製造工程断面図。

【図8】第1の実施例の半導体集積回路装置の製造工程断面図。

【図9】第1の実施例の半導体集積回路装置の製造工程断面図。

【図10】第1の実施例の半導体集積回路装置の製造工程断面図。

【図11】第1の実施例の半導体集積回路装置の製造工程断面図。

【図12】本発明のSiGe成長層の比抵抗の熱処理温度依存性を示す特性図。

【図13】本発明の多結晶SiGe層のシート抵抗の多結晶SiGe膜厚依存性を示す特性図。

【図14】第2の実施例の半導体集積回路装置の製造工程断面図。

【図15】第2の実施例の半導体集積回路装置の製造工程断面図。

【図16】第2の実施例の半導体集積回路装置の製造工程断面図。

【図17】第2の実施例の半導体集積回路装置の製造工

程断面図。

【図18】第2の実施例の半導体集積回路装置の断面図。

【図19】第3の実施例の半導体集積回路装置の断面図。

【図20】従来の半導体集積回路装置の製造工程断面図。

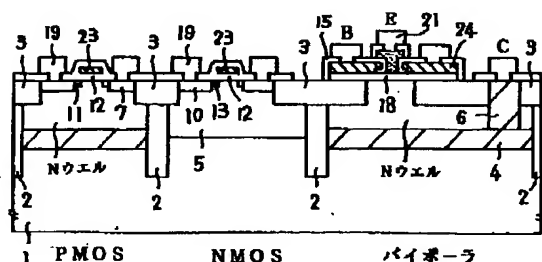
【図21】従来の半導体集積回路装置の製造工程断面図。

【図22】従来の半導体集積回路装置の断面図。

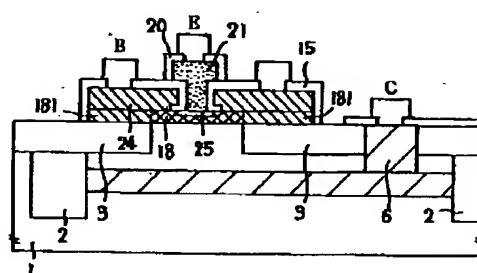
【符号の説明】

1	シリコン半導体基板
2	深いトレンチ型素子分離絶縁膜
3	浅いトレンチ型素子分離絶縁膜
4	N ⁺ 埋込み領域
5	P型エピタキシャル成長層
6	コレクタ拡散領域
7	P ⁺ ソース/ドレイン領域
8	ゲート電極
9	側壁絶縁膜
10	N ⁺ ソース/ドレイン領域
11	P ⁻ 拡散領域
12	ゲート絶縁膜
13	N ⁻ 拡散領域
14、15、16、20、31	絶縁膜
17	外部ベース引出し電極
18	SiGe内部ベース領域
19、32	金属配線電極
21	エミッタ電極(多結晶シリコン)
22、26	SiGe成長層
23、27	ゲート電極(多結晶SiGe)
24	外部ベース引出し電極
25	エミッタ領域
28	LOCOS型素子分離絶縁膜
30	SiGe抵抗

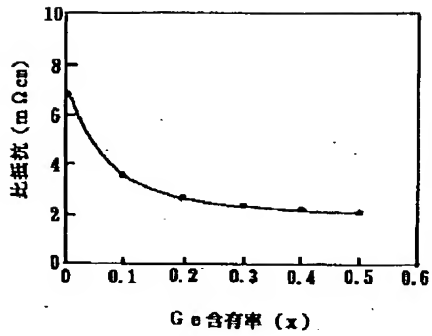
【図1】



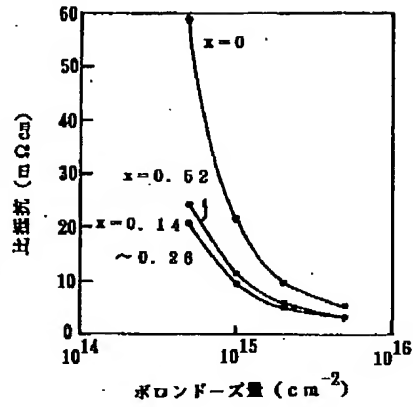
【図2】



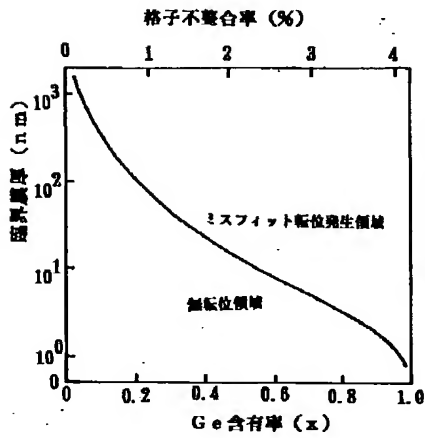
【図3】



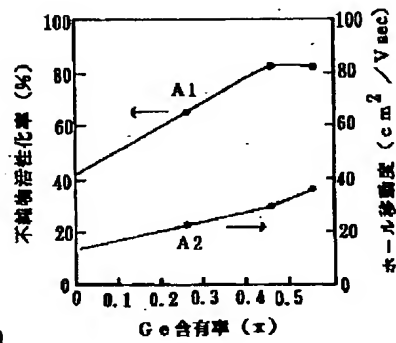
【図4】



【図5】

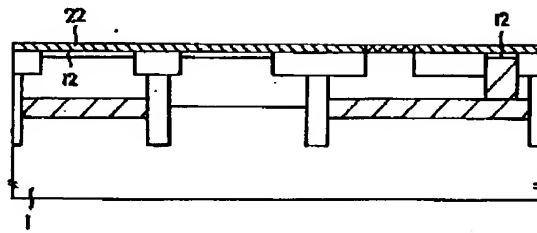
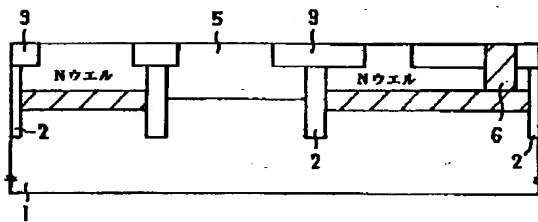


【図6】

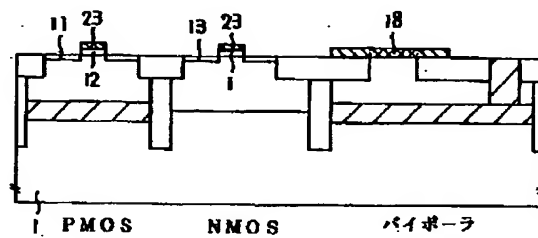


【図8】

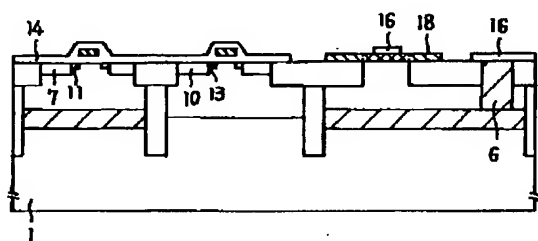
【図7】



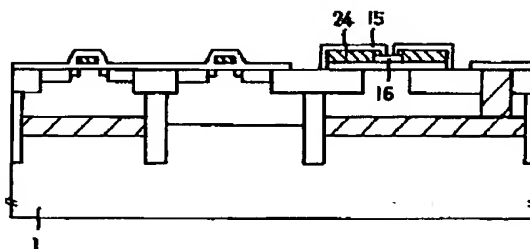
【図9】



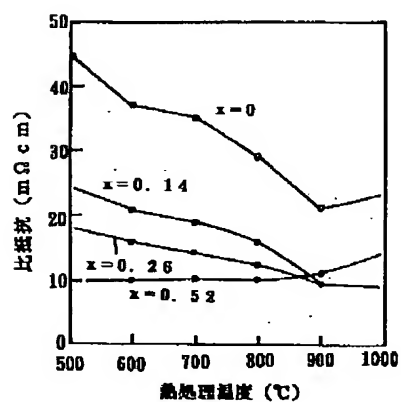
【図10】



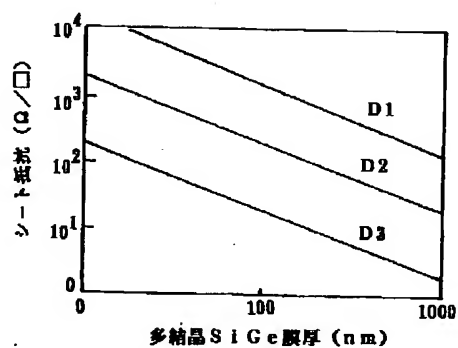
【図11】



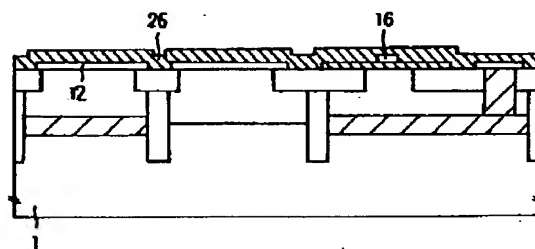
【図12】



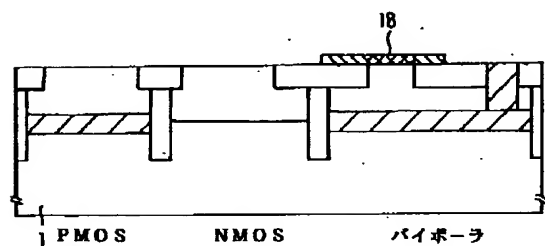
【図13】



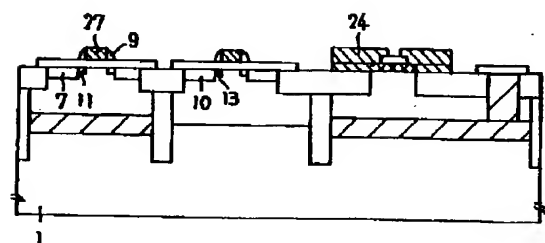
【図15】



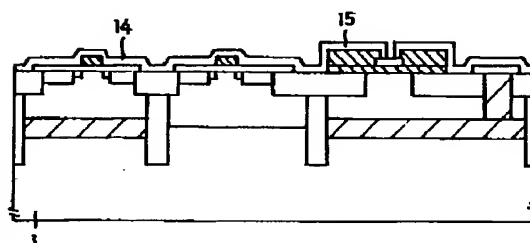
【図14】



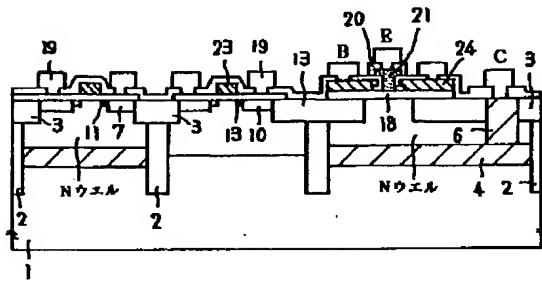
【図16】



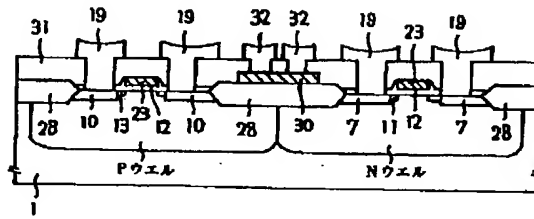
【図17】



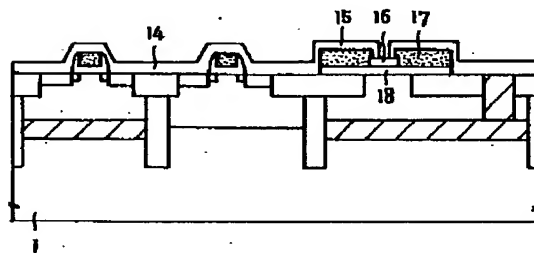
【図18】



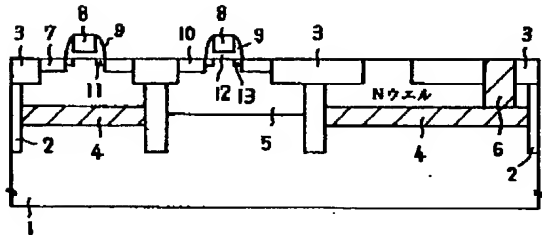
【図19】



【図21】



【図20】



【図22】

